



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 11008573

(43)Date of publication of application: 12.01.1999

(51)Int.Cl.

H04B 3/06
H04B 1/10
H04B 7/005
H04L 27/38
H04L 27/22

(21)Application number: 09158172

(71)Applicant:

NEC CORP

(22)Date of filing: 16.06.1997

(72)Inventor:

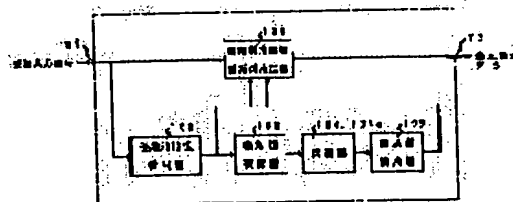
MATSUI HITOSHI

(54) DELAY DISCRIMINATION FEEDBACK TYPE SEQUENTIAL ESTIMATION RECEIVER

(57)Abstract:

PROBLEM TO BE SOLVED: To make a device compact and light in weight by surely and exactly finding out an optimum estimate area through a simple algorithm when judging the area, where the most optimum signal estimation is enabled, from the impulse response of transmission line for facilitating power consumption reduction and circuit configuration.

SOLUTION: A transmission line characteristic detector 102 detects transmission line characteristics from a received input signal at the time of training signal reception through an input terminal T1. From these transmission line characteristics, an absolute value computing element 103 operates the absolute value of amplitude component. An accumulator 104 accumulates the absolute values of amplitude components from the absolute value computing element 103, and a maximum value detector 105 detects which timing in this output signal shows the maximum value. While using the transmission line characteristics from the transmission line characteristic detector 102 and the timing signal outputted from the maximum value detector 105, a delay discrimination feedback type sequential estimator 106 outputs maximum likelihood estimate data, to which the maximum likelihood estimation of received input signal is performed, through an output terminal T2.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-8573

(43) 公開日 平成11年(1999) 1月12日

(51) Int.Cl.⁸

識別記号

F I

H 0 4 B 3/06
1/10
7/005
H 0 4 L 27/38
27/22H 0 4 B 3/06
1/10
7/005
H 0 4 L 27/00
27/22C
M
G
D

審査請求 有 請求項の数15 O L (全 14 頁)

(21) 出願番号

特願平9-158172

(22) 出願日

平成9年(1997) 6月16日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 松井 仁志

東京都港区芝五丁目7番1号 日本電気株式会社内

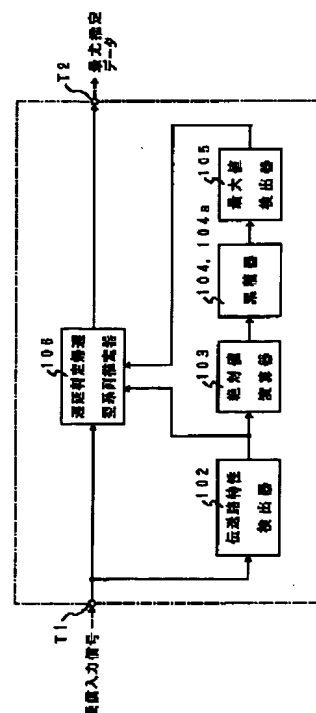
(74) 代理人 弁理士 鈴木 弘男

(54) 【発明の名称】 遅延判定帰還型系列推定受信装置

(57) 【要約】

【課題】 伝送路のインパルス応答から最も最適な信号推定が可能になる領域を判断する際に、簡単なアルゴリズムで確実かつ正確に最適な推定領域を見つけ出し、その低消費電力化、回路構成を容易にして装置の小型化、軽量化を可能にする。

【解決手段】 入力端子T1を通じたトレーニング信号の受信時における受信入力信号から伝送路特性検出器102が伝送路特性を検出する。この伝送路特性から絶対値演算器103によって振幅成分の絶対値を演算する。累積器104が絶対値演算器103からの振幅成分の絶対値を累積し、この出力信号におけるどのタイミング時が最大値を示しているかを最大値検出器105で検出する。伝送路特性検出器102からの伝送路特性及び最大値検出器105から出力されるタイミング信号を用いて遅延判定帰還型系列推定器106が受信入力信号の最尤推定を行った最尤推定データを出力端子T2を通じて出力する。



【特許請求の範囲】

【請求項 1】 伝送路歪みが発生した信号から送信信号を推定する際に、伝送路歪みのインパルス応答系列中から最適な推定領域を遅延判定帰還型系列推定に基づいて判定する遅延判定帰還型系列推定受信装置において、最尤系列推定領域内の電力成分と判定帰還等化領域の電力成分と推定領域外の電力成分とから遅延判定帰還型系列推定によって最も推定能力が高くなるタイミングを少ない演算規模で判定する判定処理手段を備えることを特徴とする遅延判定帰還型系列推定受信装置。

【請求項 2】 前記判定処理手段として、受信入力信号から伝送路特性を検出する伝送路特性検出器と、前記伝送路特性検出器からの伝送路特性における振幅成分の絶対値を演算する絶対値演算器と、前記絶対値演算器からの振幅成分の絶対値を累積する累積器と、前記累積器の出力信号におけるどのタイミング時が最大値を示しているかを検出する最大値検出器と、前記伝送路特性検出器からの伝送路特性及び前記最大値検出器からのタイミング信号かつ遅延判定帰還型系列推定によって受信信号の最適な推定領域を判定する遅延判定帰還型系列推定器と、を備えることを特徴とする請求項 1 記載の遅延判定帰還型系列推定受信装置。

【請求項 3】 前記絶対値演算器として、伝送路特性の二次元信号における実数部及び虚数部の絶対値を求める二つの絶対値演算器と、前記二つの絶対値演算器からの実数部及び虚数部の絶対値を比較した比較信号を出力する比較器と、前記比較器での比較で実数部の絶対値が虚数部の絶対値より大きい際に、実数部の絶対値及び虚数部の絶対値をそのまま出力し、かつ、実数部の絶対値が虚数部の絶対値より小さい際に、実数部の絶対値及び虚数部の絶対値を入れ替えて出力する切換器と、前記切換器が出力する実数部の絶対値が虚数部の絶対値より大きい際の虚数部の絶対値、又は、実数部の絶対値が虚数部の絶対値より小さい際に前記切換器が入れ替えた実数部の絶対値を低減する乗算器と、前記切換器の出力信号及び乗算器の出力信号を加算した絶対値信号を出力する加算器と、を備えることを特徴とする請求項 2 記載の遅延判定帰還型系列推定受信装置。

【請求項 4】 前記累積器として、最尤系列推定領域のインパルス応答の絶対値の累積値を求める最尤推定用累積器と、最尤系列推定領域と判定帰還等化領域以外の部分のインパルス応答の絶対値の累積値を求める推定領域外累積器と、を備えることを特徴とする請求項 2 記載の遅延判定帰還

型系列推定受信装置。

【請求項 5】 前記累積器として、絶対値演算器からの出力信号を 1 シンボルタイミングごとに遅延してシフトする直列接続の複数の遅延素子と、前記絶対値演算器からの出力信号及び前段の複数の遅延素子からの遅延信号を加算した最尤系列推定用累積値を出力する第 1 の加算器と、後段の複数の遅延素子で遅延した残りのシンボル分を加算した推定領域外累積値を出力する第 2 の加算器と、を備えることを特徴とする請求項 4 記載の遅延判定帰還型系列推定受信装置。

【請求項 6】 前記最大値検出器として、累積器からの最尤系列推定用累積値と推定領域外累積値の比を求めるレベル比検出器と、前記レベル比検出器からの最尤系列推定用累積値と推定領域外累積値の比の最大値を出力する最大値タイミング検出器と、を備えることを特徴とする請求項 2 記載の遅延判定帰還型系列推定受信装置。

20 【請求項 7】 前記レベル比検出器として、累積器からの最尤系列推定用累積値と推定領域外累積値のビット数を低減するためのレベルシフトと、前記レベルシフトからの最尤系列推定用累積値と推定領域外累積値との比を求める ROM と、を備えることを特徴とする請求項 6 記載の遅延判定帰還型系列推定受信装置。

【請求項 8】 前記最大値タイミング検出器として、レベル比検出器からの出力中の最大値を格納する第 1 レジスタと、30 前記レベル比検出器からの入力信号と前記第 1 レジスタからの出力信号とを比較する比較器と、前記レベル比検出器からの入力信号と前記第 1 レジスタからの出力信号とが入力され、前記入力信号が大きい際に、この入力信号を選択し、最大値として出力するとともに、前記入力信号が第 1 レジスタからの出力信号よりも小さい場合は前記第 1 レジスタの出力信号を選択する選択器と、カウント値を出力するカウンタと、前記比較器の出力信号及び前記カウンタのカウント値及びタイミング値を格納し、この値を最尤系列推定器へ出力する第 2 レジスタと、40 を備えることを特徴とする請求項 6 記載の遅延判定帰還型系列推定受信装置。

【請求項 9】 前記累積器として、最尤系列推定領域のインパルス応答の絶対値の累積値を求める最尤推定用累積器と、判定帰還等化領域のインパルス応答の絶対値の累積値を求める判定帰還用累積器と、最尤系列推定領域と判定帰還等化領域以外の部分のインパルス応答の絶対値の累積値を求める推定領域外累積器50

と、

を備えることを特徴とする請求項 2 記載の遅延判定帰還型系列推定受信装置。

【請求項 1 0】 前記請求項 9 記載の累積器として、絶対値演算器からの出力信号を 1 シンボルタイミングごと遅延してシフトする直列接続の複数の遅延素子と、前記絶対値演算器からの出力信号及び前段の複数の遅延素子からの遅延信号を加算した最尤系列推定用累積値を出力する第 1 の加算器と、前記第 1 の加算器で加算した後の中段の複数の遅延素子からの遅延信号を加算した判定帰還用累積値を出力する第 2 の加算器と、前記第 2 の加算器で加算した後における後段の複数の遅延素子で遅延した残りのシンボル分を加算した推定領域外累積値を出力する第 3 の加算器と、を備えることを特徴とする遅延判定帰還型系列推定受信装置。

【請求項 1 1】 前記請求項 9 記載の累積器に接続される最大値検出器として、判定帰還用累積値に係数を乗じて出力する乗算器と、前記乗算器の出力信号と推定領域外累積値とを加算して出力する加算器と、最尤系列推定累積値と前記加算器との出力値との比を求めるレベル比較器と、前記レベル比較器の比較値から最大値のタイミングを検出する最大値タイミング検出器と、を備えることを特徴とする遅延判定帰還型系列推定受信装置。

【請求項 1 2】 前記最大値タイミング検出器として、レベル比較器からの最尤系列推定累積値と加算器との出力値との比の値を低減して出力する 3 ビットシフトと、前記レベル比較器での最尤系列推定累積値と加算器との出力値との比の値を低減して出力する 6 ビットシフトと、前記 3 ビットシフト及び 6 ビットシフトの出力を加算して出力する加算器と、を備えることを特徴とする請求項 1 1 記載の遅延判定帰還型系列推定受信装置。

【請求項 1 3】 前記伝送路歪みが、無線回線の多重電波伝播での周波数選択性フェージングによる歪みであることを特徴とする請求項 1 記載の遅延判定帰還型系列推定受信装置。

【請求項 1 4】 前記請求項 1, 2, 3, 4, 5, 6, 7, 8, 8, 1 0, 1 1, 1 2, 1 3 記載の構成を高速デジタル通信システムに適用することを特徴とする遅延判定帰還型系列推定受信装置。

【請求項 1 5】 前記高速デジタル通信システムがデジタル移動電話システムであることを特徴とする請求項 1 4 記載の遅延判定帰還型系列推定受信装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】本発明は高速デジタル通信、例えば、デジタル移動電話システムにおける無線回線などでの多重電波伝播（マルチパス）による周波数選択性フェージングによる伝送路歪みが発生した信号から送信信号を推定する遅延判定帰還型系列推定受信装置に関し、特に、信号推定を伝送路歪みのインパルス応答系列中から最適部分を選択する遅延判定帰還型系列推定受信装置に関する。

【0 0 0 2】

【従来の技術】従来、この種の信号推定を伝送路歪みのインパルス応答系列中から最適部分を選択する際の信号推定を行う例として、特開平 5 - 2 9 2 1 3 9 号「最尤系列推定受信装置」公報例が知られている。

【0 0 0 3】図 1 3 は、このような従来の最尤系列推定器の構成を示すブロック図である。図 1 3 において、この最尤系列推定器は、整合フィルタ 2 の各タップ係数が、伝送路からの受信信号のインパルス応答から付与されるが、演算量が最も大きい状態推定器 3 の処理量を小さく抑えるために整合フィルタ 2 のタップ数を最小限に抑える必要がある。このタップ数を少なくすると、そのタップ数で処理されるのはインパルス応答系列の一部領域のみとなる。

【0 0 0 4】そこで、インパルス応答系列中のいずれの領域をタップ係数で処理した場合に最も推定能力が高くなるかの判断が必要になる。この推定領域の判断を図 1 3 に示す最尤系列推定器では、まず、トレーニング信号の受信時に信号発生器 6 から送信側のトレーニング信号と同一の信号を発生して推定器 5 に入力し、この推定器 5 で伝送路のインパルス応答値を求めている。

【0 0 0 5】図 1 4 はインパルス応答値を示す図である。図 1 4 に示すインパルス応答値が得られると、このインパルスの大きさを図 1 3 中の位置推定器 7 で比較し、大きい順序で番号を付与する。この最大振幅パルスを含んだ領域中で最もパルス番号の合計値が小さい領域を最適な信号推定領域とする。その最適な信号推定領域を示すタイミング信号を整合フィルタ 2 及び状態推定器 3 へ出力し、ここで最適な最尤系列推定を行う。

【0 0 0 6】一方、遅延判定帰還型系列推定器については、「NEC Research and Development, PP. 74-79, January 1997」に記載があり、この遅延判定帰還型系列推定器における信号推定領域の決定方法も前記の従来の最尤系列推定器における信号推定領域の決定方法を適用して行っている。

【0 0 0 7】

【発明が解決しようとする課題】しかしながら、上記従来例では以下（1）（2）の二つの問題がある。

（1）インパルス応答波形によっては、遅延判定帰還型系列推定器での最適な推定領域と最尤系列推定器とでの最低な推定領域が同一にならない。すなわち、最尤系列

10

20

30

40

50

推定方法に対して最適な信号推定領域を求める従来技術を遅延判定帰還型系列推定に適用した場合は、必ずしも最適な信号推定領域が得られない。これを、以下、詳細に説明する。

【0008】図14に示すように遅延判定帰還型系列推定器では、系列推定を行う部分が最尤系列推定領域及び判定帰還等化領域に分割されていると考えられる。判定帰還等化領域の成分は判定帰還等化演算によってキャンセルされる部分であるため、ここの領域に大きな電力成分が存在しても信号の系列推定には寄与しない。このため、最尤系列推定領域及び判定帰還等化領域を一つにまとめて系列推定領域として演算する方式では、必ずしも最適な系列推定領域を見つけ出せるとは限らない。

【0009】図15は判定帰還等化領域に大きな電力成分が存在した場合を説明するための図である。図15において、ここに示すように判定帰還等化領域に大きな電力成分が存在すると遅延判定帰還型系列推定器中の演算回路における量子化誤差などの影響による判定帰還等化の演算誤差が無視できない程度に大きくなる。そのため系列推定能力が逆に劣化する。

(2) 最適な推定領域を決定するまでには複雑なアルゴリズムによる演算が必要になる。

【0010】図16は伝送路のインパルス応答の値を振幅が大きい順序で番号を付与する状態を説明するための図である。図16に示すように、最適な推定領域を決定するまでには、伝送路のインパルス応答値を振幅が大きい順序で番号を付与する必要がある。更に、各インパルス応答値を比較する演算操作を行って、その後、最適な推定領域を決定するための複数回の比較処理が必要になり、全体のアルゴリズムが複雑化する。特に、整合フィルタのタップ数が増大すると、その演算量も増大化する。

【0011】本発明は上記の点にかんがみてなされたもので、伝送路のインパルス応答から最も最適な信号推定を可能になる領域を判断する際に、電力演算のように演算規模が大きい演算方法を採用することなく、簡単なアルゴリズムで確実に最適な推定領域を見つけ出すことができ、その低消費電力化、回路構成が容易になって装置の小型化、軽量化が可能になる遅延判定帰還型系列推定受信装置の提供を目的とする。

【0012】

【課題を解決するための手段】上記目的を達成するために、本発明は、伝送路歪みが発生した信号から送信信号を推定する際に伝送路歪みのインパルス応答系列中から最適な推定領域を遅延判定帰還型系列推定によって判定する遅延判定帰還型系列推定受信装置であり、最尤系列推定領域内の電力成分と判定帰還等化領域の電力成分と推定領域外の電力成分とから遅延判定帰還型系列推定によって最も推定能力が高くなるタイミングを少ない演算規模で判定する判定処理手段を備えることを特徴として

いる。

【0013】更に、本発明は前記判定処理手段として、伝送路特性を検出する伝送路特性検出器と、伝送路特性検出器からの伝送路特性における振幅成分の絶対値を演算する絶対値演算器と、絶対値演算器からの振幅成分の絶対値を累積する累積器と、累積器の出力信号におけるどのタイミング時が最大値を示しているかを検出する最大値検出器と、伝送路特性検出器からの伝送路特性及び最大値検出器からのタイミング信号かつ遅延判定帰還型系列推定によって受信信号の最適な推定領域を判定する遅延判定帰還型系列推定器とを備えることを特徴としている。

【0014】また、本発明は前記絶対値演算器として、伝送路特性の二次元信号における実数部及び虚数部の絶対値を求める二つの絶対値演算器と、二つの絶対値演算器からの実数部及び虚数部の絶対値を比較した比較信号を出力する比較器と、比較器での比較で実数部の絶対値が虚数部の絶対値より大きい際に、実数部の絶対値及び虚数部の絶対値をそのまま出力し、かつ、実数部の絶対値が虚数部の絶対値より小さい際に、実数部の絶対値及び虚数部の絶対値を入れ替えて出力する切換器と、切換器が出力する実数部の絶対値が虚数部の絶対値より大きい際の虚数部の絶対値、又は、実数部の絶対値が虚数部の絶対値より小さい際に切換器が入れ替えた実数部の絶対値を低減する乗算器と、切換器の出力信号及び乗算器の出力信号を加算した絶対値信号を出力する加算器とを備えることを特徴としている。

【0015】更に、本発明は前記累積器として、最尤系列推定領域のインパルス応答の絶対値の累積値を求める最尤推定用累積器と、最尤系列推定領域と判定帰還等化領域以外の部分のインパルス応答の絶対値の累積値を求める推定領域外累積器とを備えることを特徴としている。

【0016】また、本発明は前記累積器として、絶対値演算器からの出力信号を1シンボルタイミングごとに遅延してシフトする直列接続の複数の遅延素子と、絶対値演算器からの出力信号及び前段の複数の遅延素子からの遅延信号を加算した最尤系列推定用累積値を出力する第1の加算器と、後段の複数の遅延素子で遅延した残りのシンボル分を加算した推定領域外累積値を出力する第2の加算器とを備えることを特徴としている。

【0017】更に、本発明は前記最大値検出器として、累積器からの最尤系列推定用累積値と推定領域外累積値の比を求めるレベル比検出器と、レベル比検出器からの最尤系列推定用累積値と推定領域外累積値の比の最大値を出力する最大値タイミング検出器とを備えることを特徴としている。

【0018】また、本発明は前記レベル比検出器として、累積器からの最尤系列推定用累積値と推定領域外累積値のビット数を低減するためのレベルシフタと、レベ

ルシフトからの最尤系列推定用累積値と推定領域外累積値との比を求めるROMとを備えることを特徴としている。

【0019】更に、本発明は前記最大値タイミング検出器として、レベル比較器からの出力中の最大値を格納する第1レジスタと、レベル比較器からの入力信号と第1レジスタからの出力信号とを比較する比較器と、レベル比較器からの入力信号と第1レジスタからの出力信号とが入力され、入力信号が大きい際に、この入力信号を選択し、最大値として出力するとともに、入力信号が第1レジスタからの出力信号よりも小さい場合は第1レジスタの出力信号を選択する選択器と、カウント値を出力するカウンタと、比較器の出力信号及びカウンタのカウント値及びタイミング値を格納し、この値を最尤系列推定器へ出力する第2レジスタとを備えることを特徴としている。

【0020】また、本発明は前記累積器として、最尤系列推定領域のインパルス応答の絶対値の累積値を求める最尤推定用累積器と、判定帰還等化領域のインパルス応答の絶対値の累積値を求める判定帰還用累積器と、最尤系列推定領域と判定帰還等化領域以外の部分のインパルス応答の絶対値の累積値を求める推定領域外累積器とを備えることを特徴としている。

【0021】更に、本発明は前記累積器として、絶対値演算器からの出力信号を1シンボルタイミングごとに遅延してシフトする直列接続の複数の遅延素子と、絶対値演算器からの出力信号及び前段の複数の遅延素子からの遅延信号を加算した最尤系列推定用累積値を出力する第1の加算器と、第1の加算器で加算した後の中段の複数の遅延素子からの遅延信号を加算した判定帰還用累積値を出力する第2の加算器と、第2の加算器で加算した後における後段の複数の遅延素子で遅延した残りのシンボル分を加算した推定領域外累積値を出力する第3の加算器とを備えることを特徴としている。

【0022】また、本発明は前記累積器に接続される最大値検出器として、判定帰還用累積値に係数を乗じて出力する乗算器と、乗算器の出力信号と推定領域外累積値とを加算して出力する加算器と、最尤系列推定累積値と加算器との出力値との比を求めるレベル比較器と、レベル比較器の比較値から最大値のタイミングを検出する最大値タイミング検出器とを備えることを特徴としている。

【0023】更に、本発明は前記最大値タイミング検出器として、レベル比較器からの最尤系列推定累積値と加算器との出力値との比の値を低減して出力する3ビットシフトと、レベル比較器での最尤系列推定累積値と加算器との出力値との比の値を低減して出力する6ビットシフトと、3ビットシフト及び6ビットシフトの出力を加算して出力する加算器とを備えることを特徴としている。

【0024】また、本発明は前記伝送路歪みが、無線回

線の多重電波伝播での周波数選択性フェージングによる歪みであることを特徴としている。

【0025】更に、本発明は前記装置を高速デジタル通信システムに適用することを特徴としている。

【0026】また、本発明は前記高速デジタル通信システムがデジタル移動電話システムであることを特徴としている。

【0027】この発明の構成では、送路歪みが発生した信号から送信信号を推定する際に伝送路歪みのインパルス応答系列中から最適な推定領域を遅延判定帰還型系列推定によって判定している。すなわち、最尤推定領域内の電力成分と判定帰還等化領域の電力成分と推定領域外の電力成分から遅延判定帰還型系列推定によって最も推定能力が高くなるタイミングを少ない演算規模で判定している。これらは複素演算で電力成分を求めずに絶対値演算で代用しており、少ない演算規模となる。すなわち、複素演算の電力成分の演算では、実数部の二乗演算と虚数部の二乗演算が必要であるが、二乗演算は乗算演算と演算規模とが同程度である。

【0028】一方、複素数の絶対値演算を正確に求めるためには乗算演算の他に平方根演算も必要となるが、本発明では加算演算と略同一の演算規模となる。換言すれば、このような超高速データ処理では、デジタルシグナルプロセッサ(DSP)の利用が不可能であり、ハードウェアを用いた並列演算が必要になるが、乗算演算及び除算演算を使用しないですむことは回路規模の削減による低消費電力化によって、その装置の小型化、軽量化が可能になる。

【0029】したがって、伝送路のインパルス応答から最も最適な信号推定が可能になる領域を判断する際に、電力演算のように演算規模が大きい演算方法を採用することなく、簡単なアルゴリズムで確実に最適な推定領域を見つけ出すことができるようになる。この結果、その低消費電力化、回路構成が容易になり、装置の小型化、軽量化が可能になる。

【0030】

【発明の実施の形態】以下、本発明を図面に基づいて説明する。

【0031】図1は本発明の遅延判定帰還型系列推定受信装置の実施形態における構成を示すブロック図である。図1において、この遅延判定帰還型系列推定受信装置は、入力端子T1を通じたトレーニング信号の受信時における受信入力信号から伝送路特性を検出する伝送路特性検出器102と、この伝送路特性検出器102からの伝送路特性から振幅成分を演算する絶対値演算器103とを有している。

【0032】更に、この遅延判定帰還型系列推定受信装置は、絶対値演算器103からの振幅成分の絶対値を累積して出力する累積器104と、この累積器104が出力する絶対値におけるどのタイミング時が最大値を示し

10

20

30

40

50

ているかを検出する最大値検出器105と、伝送路特性検出器102からの伝送路特性及び最大値検出器105から出力されるタイミング信号を用いて受信入力信号の最尤推定を行った最尤推定データを出力端子T2を通じて出力する遅延判定帰還型系列推定器106とを有している。

【0033】図2は累積器104の詳細な構成を示すブロック図である。図2において、この累積器104は、最尤系列推定領域のインパルス応答の絶対値の累積値を求めるための最尤推定用累積器202と、最尤系列推定領域と判定帰還等化領域以外の部分のインパルス応答の絶対値の累積値を求めるための推定領域外累積器203とを有している。

【0034】図3は絶対値演算器103の詳細な構成を示すブロック図である。図3において、この絶対値演算器103は、伝送路特性の二次元信号の実数部及び虚数部の絶対値を求める二つの絶対値演算器303、304と、この二つの絶対値演算器303、304からの実数部及び虚数部の絶対値を比較した比較信号を出力する比較器305とを有している。

【0035】更に、この絶対値演算器103は、比較器305での比較で実数部の絶対値が虚数部の絶対値より大きい際に、実数部の絶対値及び虚数部の絶対値のそれぞれをそのまま出力し、かつ、実数部の絶対値が虚数部の絶対値より小さい際に、実数部の絶対値及び虚数部の絶対値を入れ替えて出力する切換器306を有し、かつ、この切換器306が出力する実数部の絶対値が虚数部の絶対値より大きい際の虚数部の絶対値、又は、実数部の絶対値が虚数部の絶対値より小さい際に切換器306が入れ替えた実数部の絶対値を $1/2$ に低減する乗算器307と、切換器306の出力信号及び乗算器307の出力信号を加算した絶対値信号を出力する加算器308とを有している。

【0036】図4は累積器104の詳細な構成を示すブロック図である。図4において、この累積器104は、絶対値演算器103からの出力信号を1シンボルタイミングごとに遅延してシフトする遅延素子402a, 402b, 402c, 402d, 402e, 402f, 402g, 402h, 402i, 402j, 402k, 402l, 402m, 402nを有している。更に、絶対値演算器103からの出力信号及び遅延素子402a, 402bからの遅延信号を加算した最尤系列推定用累積値を出力する加算器403と、遅延した残りの9シンボル分を加算した推定領域外累積値を出力する加算器404とを有している。

【0037】図5は最大値検出器105の詳細な構成を示すブロック図である。図5において、この最大値検出器105は、最尤系列推定用累積値と推定領域外累積値の比を求めるレベル比検出器503と、最尤系列推定用累積値と推定領域外累積値の比の最大値を出力する最大

値タイミング検出器504とを有している。

【0038】図6は図5中の最大値タイミング検出器504の詳細な構成を示すブロック図である。図6において、レベル比検出器503からの出力中の最大値を格納するレジスタ604と、累積器104からの入力信号とレジスタ604からの出力信号とを比較する比較器602とを有し、更に、累積器104からの出力（入力）信号とレジスタ604からの出力信号とが入力され、比較器602の出力信号より入力信号が大きい際に、この入力信号を選択して最大値として出力するとともに、入力信号がレジスタ604からの出力信号よりも小さい場合は、レジスタ604の出力信号を選択する選択器603を有している。また、カウント値を出力するカウンタ606と、比較器602の出力信号及びカウンタ606のカウント値及び以降で説明するタイミング値を格納し、この値を遅延判定帰還型系列推定器106へ出力するレジスタ605とを有している。

【0039】図7は図5中のレベル比検出器503の詳細な構成例を示すブロック図である。図7において、このレベル比検出器503は、累積器104からの最尤系列推定用累積値と推定領域外累積値のそれぞれのビット数を低減するためのレベルシフタ703と、レベルシフタ703からの最尤系列推定用累積値と推定領域外累積値との比を求めるためのROM704とを有している。

【0040】次に、この図1及び図2の構成を用いて全体の動作について説明する。

【0041】ここでは遅延判定帰還型系列推定器106の推定領域として、最尤系列推定領域を3シンボル、判定帰還等化領域を3シンボルとして説明する。また、トレーニングシンボルとして15ビットのM系列疑似乱数符号（PN符号）を用いる。受信されたトレーニングシンボルとPN符号の相関演算を伝送路特性検出器102で行い、伝送路の15シンボルにおけるインパルス応答を検出する。15シンボル長のインパルス応答は、振幅値を求めるために絶対値演算器103で、その絶対値をそれぞれに求める。累積器104では図2に示す最尤推定用累積器202が前記の図14における最尤系列推定領域のインパルス応答の絶対値の累積値を求める。推定領域外累積器203では最尤系列推定領域と判定帰還等化領域以外の部分のインパルス応答の絶対値の累積値を求める。これらの演算をタイミングをずらして15回行う。

【0042】最大値検出器105では、PN符号の1周期の長さである15シンボル分だけ累積器104から最尤系列推定用の累積値と推定領域外の累積値とが連続して取り込まれる。その中で最尤系列推定用の累積値と推定領域外の累積値の比が最も大きい値のときのタイミングを示す信号を遅延判定帰還型系列推定器106へ出力する。これによって、遅延判定帰還型系列推定器106では、伝送路特性検出器102のインパルス応答と最大

値検出器 1 0 5 の出力信号から、インパルス応答のどの部分を用いて受信入力信号の推定を行うのが最も推定能力が高いかを判別できるようになる。

【0043】更に、この動作を詳細に説明する。

【0044】図 1 において、トレーニング信号の受信時には、伝送路特性検出器 1 0 2 によって入力信号と、15 ビットの M 系列 P N 符号との相関演算が行われる。この相関演算では、前記した図 1 4 に示すインパルス応答が時系列信号として 1 5 シンボル分が出力される。図 1 4 の例では一次元シンボルであるが、実際の伝送路特性は二次元シンボルである。

【0045】インパルス応答の時系列信号は、絶対値演

$$r = a b s (p) + a b s (q) / 2$$

$a b s (p) (q)$: 絶対値

また、絶対値 r は、実数部 p の絶対値が、虚数部 q の絶

$$r = a b s (p) / 2 + a b s (q)$$

$a b s (p) (q)$: 絶対値

図 3 において、絶対値演算器 3 0 3 で $a b s (p)$ が求められ、絶対値演算器 3 0 4 では $a b s (q)$ が求められる。比較器 3 0 5 では $a b s (p)$ 及び $a b s (q)$ の大きさが比較される。この比較された結果が切換器 3 0 6 に入力される。 $a b s (p)$ が $a b s (q)$ より大きいときは、切換器 3 0 6 では、入力端 a が出力端 c に接続され、また、入力端 b が出力端 d へ接続される。

【0048】 $a b s (p)$ が $a b s (q)$ より小さいときは、比較器 3 0 5 では、入力端 a が出力端 d に接続され、また、入力端 b が出力端 c へ接続される。比較器 3 0 5 の出力端 d からの信号が乗算器 3 0 7 に入力され、その値が $1 / 2$ になる。この乗算器 3 0 7 はビットシフト演算のみで実現できる。切換器 3 0 6 の出力端 c 及び乗算器 3 0 7 の出力信号が加算器 3 0 8 で加算され、絶対値信号として出力される。累積器 1 0 4 では、絶対値演算器 1 0 3 からの出力信号を 1 5 シンボル連続で積算して出力する。

【0049】図 4 において、累積器 1 0 4 では、絶対値演算器 1 0 3 からの出力信号が遅延素子 4 0 2 a に入力され、ここから 1 シンボルタイミングごとに遅延して遅延素子 4 0 2 b から遅延素子 4 0 2 n へシフトされる。絶対値演算器 1 0 3 からの出力信号及び遅延素子 4 0 2 a, 4 0 2 b からの遅延信号が加算器 4 0 3 に入力され、最尤系列推定用累積値として出力される。次の 3 シンボル分は、その出力を行わず、残りの 9 シンボル分は加算器 4 0 4 で加算され、推定領域外累積値として出力される。この出力は 1 5 回の値が出力され、最大値検出器 1 0 5 へ入力される。

【0050】図 5 及び図 6 において、この最大値検出器 1 0 5 では、1 5 シンボル分の入力信号中で、どのタイミングのときに最尤系列推定用累積値と推定領域外累積値の比が最大になるかを検出する。図 6 中のレジスタ 6 0 4 には、初期値としての 0 を入力し、カウンタ 6 0 6

算器 1 0 3 で近似的な絶対値演算が行われる。一次元信号の場合、その絶対値信号は入力信号の正負判断及び負の際に減算によって求めることが出来る。二次元信号では絶対値の演算は、加減算の処理操作のみでは正確に求めることが出来ない。そこで、図 3 に示す絶対値演算器 1 0 3 を用いて近似的に二次元信号の絶対値を求める。ここでの演算では絶対値 r は、複素数信号の実数部を p 、虚数部を q とすると、実数部 p の絶対値が、虚数部 q の絶対値よりも大きい場合、次式 (1) で求められる。

【0046】

$$\dots (1)$$

対値よりも小さい場合、次式 (2) で求められる。

【0047】

$$\dots (2)$$

へは初期値として 0 をセットする。最尤系列推定用累積値と推定領域外累積値とがレベル比検出器 5 0 3 に入力され、ここで最尤系列推定用累積値と推定領域外累積値との比が求められ、その値が最大値タイミング検出器 5 0 4 へ出力される。図 6 に示す最大値タイミング検出器 5 0 4 では、レジスタ 6 0 4 の出力信号と累積器 1 0 4 からの出力 (入力) 信号との大きさを比較器 6 0 2 で比較する。この比較で入力信号が大きい際には、選択器 6 0 3 で入力信号が選択され、最大値としてレジスタ 6 0 4 に入力される。このとき、カウンタ 6 0 6 のカウンタ値をレジスタ 6 0 5 に書き込む。

【0051】累積器 1 0 4 からの出力 (入力) 信号がレジスタ 6 0 4 からの出力信号よりも小さい場合は、選択器 6 0 3 はレジスタ 6 0 4 の出力信号を選択するため、そのレジスタ 6 0 4 の値が、そのまま保存され、レジスタ 6 0 5 では、カウンタ 6 0 6 の出力信号は書き込まれずに、そのまま保持される。

【0052】これらの演算を 1 5 回繰り返すことによって、レジスタ 6 0 4 へは累積器 1 0 4 から出力された値の中で最尤系列推定用累積値と推定領域外累積値との比の最大値が格納され、レジスタ 6 0 5 へは、そのときのタイミング値が格納される。レジスタ 6 0 5 の値を遅延判定帰還型系列推定器 1 0 6 へ出力する。

【0053】図 5 中のレベル比検出器 5 0 3 では、最尤系列推定用累積値と推定領域外累積値との比を求めるための乗算が必要になるが、この場合の除算器は、演算規模が大きくなる欠点がある。この除算器を用いずにレベル比を求めるため図 7 に示した ROM を用いたレベル比検出器 5 0 3 を用いる。この際、累積器 1 0 4 からの出力信号のビット数が大きくなると ROM のアドレス数も大きくなって除算器を用いる利点なくなる。

【0054】そこでレベルシフタ 7 0 3 によってビット数を低減する。例えば、ROM 7 0 4 のアドレス数を 8 ビット (4 ビット + 4 ビット) とし、累積器 1 0 4 から

10

20

30

40

50

の出力信号の値がそれぞれ「88, 104」の場合、それぞれを3ビットシフトする。すなわち、 $1/8$ にすることによって、それぞれ「11, 13」とする。この値をROM704のアドレス(4ビット+4ビット)とする。入力される値が「18, 2」の場合は1ビットシフトにより、「9, 1」になる。

【0055】遅延判定帰還型系列推定器106では前記の図14に示すようなインパルス応答が伝送路特性検出器102から15シンボル分が入力され、最大値検出器105からは、タイミングシンボルとして、時刻Tを示すシンボルが入力されることによって、図14において、時刻T, 2T, 3Tのインパルス応答の値が信号推定のために用いられ、かつ、時刻4T, 5T, 6Tのインパルス応答値が判定帰還等化用として用いられる。

【0056】図8はこの処理における最適タイミングを説明するための図である。図8において、伝送路特性が図15に示すようなインパルス応答の場合、かつ、従来の系列推定方式の際には、時刻Tから3Tまでを最尤系列推定領域として、時刻T4から時刻T6までが判定帰還等化領域となる。この実施形態では図8に示すように2信号分ずれたところが最適タイミングとして決定される。

【0057】これは、最尤系列推定領域の電力成分をP、判定帰還等化領域の電力成分をQ、これら以外の領域の電力成分をRとすると、従来方式では最適なタイミングが $(P+Q)/R$ の最大点を選択していたが、この実施形態では P/R の最大点を最適タイミングとして選択している。これは電力成分Qは遅延判定帰還型系列推定器106の判定帰還等化演算部でキャンセルされることによって推定特性の向上及び劣化が生じないためである。

【0058】次に、他の実施形態について説明する。

【0059】図9は他の実施形態の構成例の累積器の構成を示すブロック図である。図9において、この例は、最尤系列推定領域のインパルス応答の絶対値の累積値を求める最尤推定用累積器802と、判定帰還等化領域のインパルス応答の絶対値の累積値を求める判定帰還用累積器803と、最尤系列推定領域と判定帰還等化領域以外の部分のインパルス応答の絶対値の累積値を求める推定領域外累積器804とを有している。

【0060】図10は図9に示す構成例の累積器の詳細な構成を示すブロック図である。図9において、この例は、絶対値演算器103からの出力信号を1シンボルタイミングごとに遅延する遅延素子902a, 902b, 902c, 902d, 902e, 902f, 902g, 902h, 902i, 902j, 902k, 902l, 902m, 902nと、絶対値演算器103からの出力信号及び遅延素子902a, 902bからの遅延信号を加算した最尤系列推定用累積値を出力する加算器903とを有し、更に、次の3シンボル分を加算して判定帰還

用累積値として出力する加算器904と、9シンボル分を加算した推定領域外累積値として出力する加算器905とを有している。

【0061】図11は、他の構成例の最大値検出器105aを示すブロック図である。図11において、この最大値検出器105aでは、判定帰還用累積値に係数 α を乗じて出力する乗算器1004と、乗算器1004の出力信号と推定領域外累積値と加算して出力する加算器1005とを有し、かつ、最尤系列推定累積値と加算器1005との出力値との比を求めるレベル比較器1006と、このレベル比較器1006の比較値から最大値のタイミングを検出する最大値タイミング検出器1007とを有している。

【0062】図12は図11に示す最大値タイミング検出器1007の構成を示すブロック図である。この最大値タイミング検出器1007は、レベル比較器1006での最尤系列推定累積値と加算器1005との出力値との比の値を $1/8$ に低減して出力する3ビットシフタ1102を有し、更に、レベル比較器1006での最尤系列推定累積値と加算器1005との出力値との比の値を $1/64$ に低減して出力する6ビットシフタ1103と、3ビットシフタ1102及び6ビットシフタ1103の出力信号を加算して出力する加算器1104とを有している。

【0063】次に、この他の実施形態の構成の動作について説明する。

【0064】図1において、トレーニング信号の受信時には、伝送路特性検出器102によって入力信号と、15ビットのM系列PN符号との関連演算が行われる。この関連演算は前記した図14に示すインパルス応答が時系列信号として15シンボル分が出力される。このインパルス応答の時系列信号が、絶対値演算器103で近似的な絶対値演算が行われる。複素数の絶対値は前記の図3に示す絶対値演算器103で近似的に求める。この絶対値演算器103からの出力信号が累積器104に入力され、ここで15シンボル分を連続して取り込む。

【0065】図9において、この累積器104aでは、最尤推定用累積器802で前記の図14における最尤系列推定領域のインパルス応答の絶対値の累積値が求められ、判定帰還用累積器803では判定帰還等化領域のインパルス応答の絶対値の累積値が求められる。推定領域外累積器804では最尤系列推定領域と判定帰還等化領域以外の部分のインパルス応答の絶対値の累積値が求められる。

【0066】図10において、絶対値演算器103からの出力信号が遅延素子902aに入力され、ここから1シンボルタイミングごとに遅延して遅延素子902bから遅延素子902nへシフトされる。絶対値演算器103からの出力信号及び遅延素子902a, 902bからの遅延信号が加算器903に入力され、最尤系列推定用

累積値として出力される。次の 3 シンボル分が加算器 9 0 4 へ入力され、判定帰還用累積値として出力される。次の残りの 9 シンボル分は加算器 9 0 5 で加算され、推定領域外累積値として出力される。この出力値は 1 5 回の値が出力され、図 1 1 に示す最大値検出器 1 0 5 a へ入力される。

【0067】この最大値検出器 1 0 5 a では、1 3 シンボル分の入力シンボル中で、どのタイミングの際に遅延判定帰還型系列推定器 1 0 6 の推定タイミングとして最適になるかを検出する。この最大値タイミング検出器 1 0 0 7 では前記の図 6 において、レジスタ 6 0 4 に初期値として 0 を入力し、カウンタ 6 0 6 へは初期値として 0 をセットする。この最大値検出器 1 0 5 a では最尤系列推定累積値、判定帰還用累積値及び推定領域外累積値が取り込まれ、判定帰還用累積値は乗算器 1 0 0 4 で係数 α が乗じられる。

【0068】この係数 α 値は遅延判定帰還型系列推定器 1 0 6 のハードウェア構成で決定される。乗算器 1 0 0 4 の出力信号と推定領域外累積値とが加算器 1 0 0 5 で加算されてレベル比較器 1 0 0 6 へ出力される。このレベル比較器 1 0 0 6 では最尤系列推定累積値と加算器 1 0 0 5 との出力値との比が求められる。

【0069】図 6 のレジスタ 6 0 4 からの出力信号と入力信号の大きさが比較器 6 0 2 で比較される。入力信号が大きい場合は選択器 6 0 3 で入力信号が選択され、最大値としてレジスタ 6 0 4 に入力される。このときのカウンタ 6 0 6 のカウンタ値をレジスタ 6 0 5 に書き込む。

【0070】入力信号がレジスタ 6 0 4 からの出力信号よりも小さい際に選択器 6 0 3 はレジスタ 6 0 4 の出力信号を選択する。したがって、レジスタ 6 0 4 の値がその保存され、レジスタ 6 0 5 ではカウンタ 6 0 6 の出力信号が書き込まれずに、そのまま保持される。これらの演算を 1 5 回繰り返して、レジスタ 6 0 5 へ遅延判定帰還型系列推定器 1 0 6 におけるインパルス応答の最適な領域を示すタイミング値が格納される。レジスタ 6 0 5 の値を遅延判定帰還型系列推定器 1 0 6 へ出力する。

【0071】遅延判定帰還型系列推定器 1 0 6 には、図 1 4 に示すインパルス応答が伝送路特性検出器 1 0 2 から 1 5 シンボル分が入力され、最大値検出器 1 0 5 からタイミングシンボルとして時刻 T を示すシンボルが入力されることによって、図 1 4 において時刻 T, 2 T, 3 T のインパルス応答値が最尤系列推定のために、時刻 4 T, 5 T, 6 T のインパルス応答値が判定帰還等化用として用いられる。伝送路特性が図 1 2 に示すようなインパルス応答において、従来の系列推定方式の場合は、時刻 T から時刻 3 T までを最尤系列推定領域として、時刻 4 T から時刻 6 T までが判定帰還等化領域となるが、本実施形態では図 9 に示すように 2 シンボル分ずれたタイミングが最適タイミングとして決定される。

【0072】最尤系列推定領域の電力成分 P、判定帰還等化領域の電力成分 Q、これら以外の領域を電力成分を R とすると、従来方式では最適タイミングを $(P + Q) / R$ が最大になる点を選択していたが、本実施形態では $P / (R + \alpha Q)$ が最大になる点を最適タイミングとして選択している。これは、電力成分 Q は最適には遅延判定帰還型系列推定器 1 0 6 の判定帰還等化演算によってキャンセルすることによって、推定特性が向上及び劣化しないためである。

10 【0073】しかしながら実際のハードウェアにおいて、演算の量子化誤差のために遅延判定帰還型系列推定器 1 0 6 の判定帰還等化演算では、完全に電力成分 Q をキャンセルできずに歪みとして残る。電力成分 Q が最尤系列推定領域の電力成分 P に比較して大きくなると、この歪みによる影響が大きくなる。よって、最尤系列推定領域を求めるには、劣化要因として電力成分 R の他に電力成分 Q をも考慮する必要がある。係数 α の値は遅延判定帰還型系列推定器 1 0 6 における演算規模やビット量子化数から決定する。係数 α の値は多少変化しても遅延判定帰還型系列推定器 1 0 6 の推定能力には大きな影響を与えないので、演算規模の大きい乗算器を用いなくても、乗算器 1 0 0 4 の処理は実現できる。

20 【0074】図 1 2 は、係数 α の値として $1/7$ を得る構成であり、入力信号はそれぞれ 3 ビットシフタ 1 1 0 2 と 6 ビットシフタ 1 1 0 3 に入力される 3 ビットシフタ 1 1 0 2 からは $1/8$ になった入力信号が出力され、6 ビットシフタ 1 1 0 3 からは $1/64$ の入力信号が出力される。それぞれの値が加算器 1 1 0 4 で加算されることによって、入力信号が略 $1/7$ に低減して出力される。これは「 $1/8 + 1/64 \div 1/7$ 」に基づいている。

30 【0075】このように、簡単なビットシフタと加算器の組み合わせで乗算器 1 0 0 4 の処理が実現する。

【0076】

40 【発明の効果】以上説明したように、本発明の遅延判定帰還型系列推定受信装置によれば、最尤推定領域内の電力成分と判定帰還等化領域の電力成分と推定領域外の電力成分から遅延判定帰還型系列推定によって最も推定能力が高くなるタイミングを少ない演算規模で検出している。

【0077】この結果、伝送路のインパルス応答から最も最適な信号推定を可能になる領域を判断する際に、電力演算のように演算規模が大きい演算方法を採用することなく、簡単なアルゴリズムで確実かつ正確に最適な推定領域を見つけ出すことができ、その低消費電力化、回路構成が容易になり、装置の小型化、軽量化が可能になる。

【図面の簡単な説明】

50 【図 1】本発明の遅延判定帰還型系列推定受信装置の実施形態における構成を示すブロック図である。

【図 2】実施形態にあって累積器の詳細な構成を示すブロック図である。

【図 3】実施形態にあって絶対値演算器の詳細な構成を示すブロック図である。

【図 4】実施形態にあって累積器の詳細な構成を示すブロック図である。

【図 5】実施形態にあって最大値検出器の詳細な構成を示すブロック図である。

【図 6】図 5 中の最大値タイミング検出器の詳細な構成を示すブロック図である。

【図 7】図 5 中のレベル比演算器の構成例を示すブロック図である。

【図 8】実施形態の処理における最適タイミングを説明するための図である。

【図 9】他の実施形態における累積器の構成を示すブロック図である。

【図 10】図 9 に示す累積器の詳細な構成を示すブロック図である。

【図 11】他の実施形態での最大値検出器の詳細な構成を示すブロック図である。

【図 12】図 11 に示す最大値タイミング検出器の詳細な構成を示すブロック図である。

【図 13】従来の最尤系列推定器の構成を示すブロック図である。

【図 14】従来例にあってインパルス応答値を説明するための図である。

【図 15】従来例にあって判定帰還等化領域に大きな電力成分が存在した場合を説明するための図である。

【図 16】従来例にあって伝送路のインパルス応答の値を振幅が大きい順序で番号を付与する状態を説明するた

めの図である。

【符号の説明】

102 伝送路特性検出器

103 絶対値演算器

104, 104a 累積器

105, 105a 最大値検出器

106 遅延判定帰還型系列推定器

202 最尤推定用累積器

203 推定領域外累積器

10 303, 304 絶対値演算器

305, 602 比較器

306 切換器

307, 1004 乗算器

308, 403, 404, 903~905, 1005,

1104 加算器

402a~402n, 902a~902n 遅延素子

503 レベル比検出器

504, 1007 最大値タイミング検出器

603 選択器

20 604, 605 レジスタ

606 カウンタ

703 レベルシフタ

704 ROM

802 最尤推定用累積器

803 判定帰還用累積器

804 推定領域外累積器

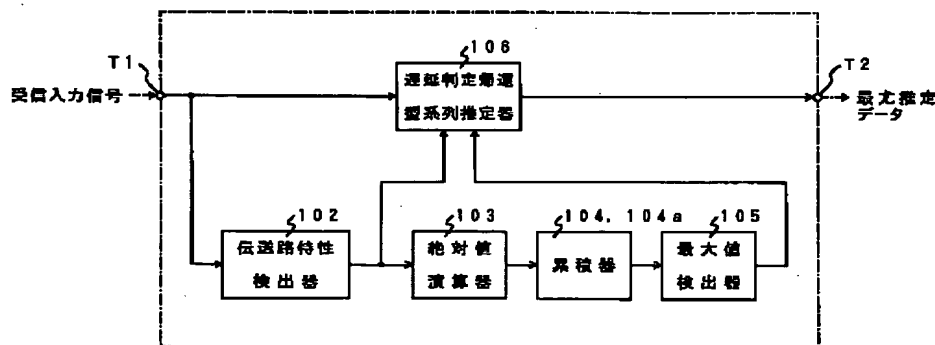
1006 レベル比較器

1102 3ビットシフタ

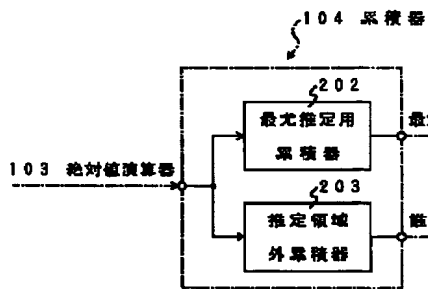
1103 6ビットシフタ

30

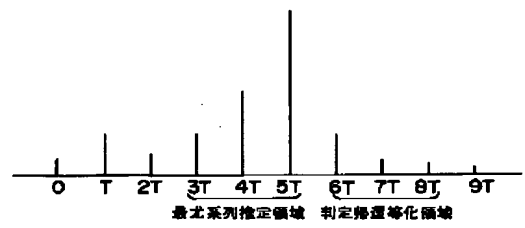
【図 1】



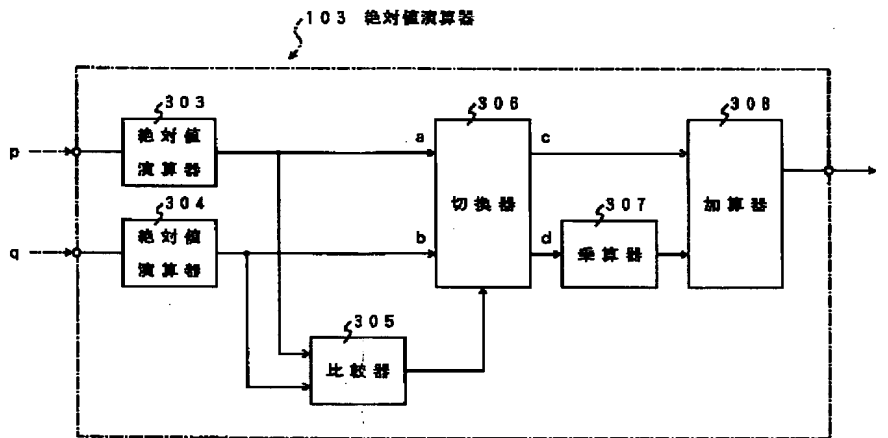
【図 2】



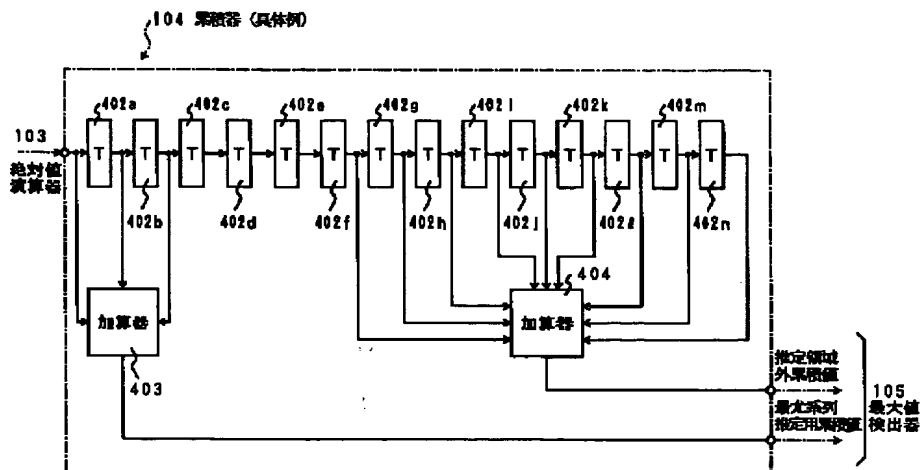
【図 8】



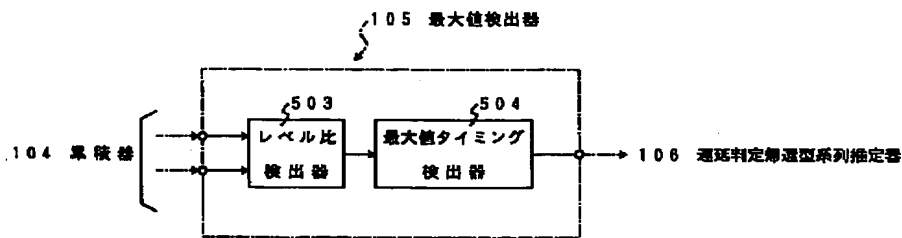
【図 3】



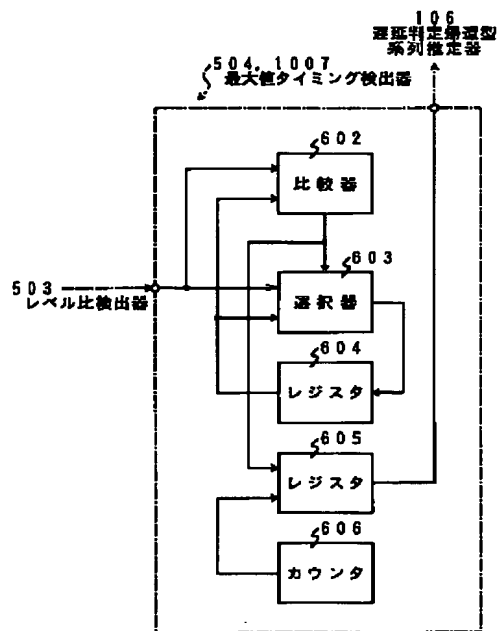
【図 4】



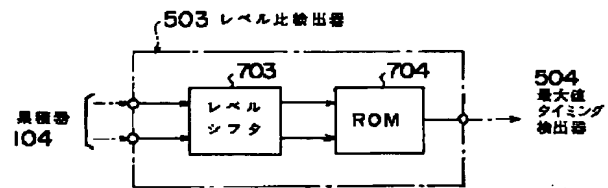
【図 5】



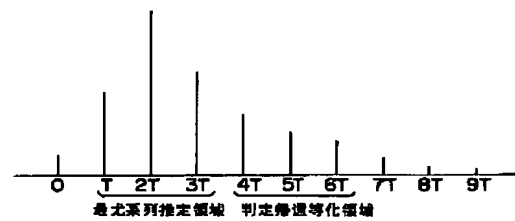
【図 6】



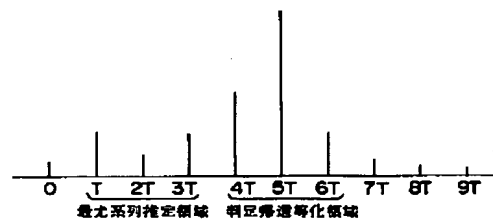
【図 7】



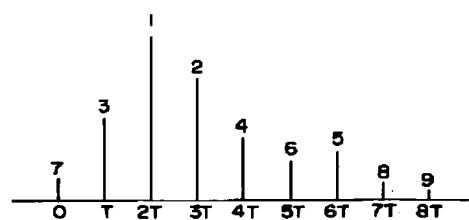
【図 14】



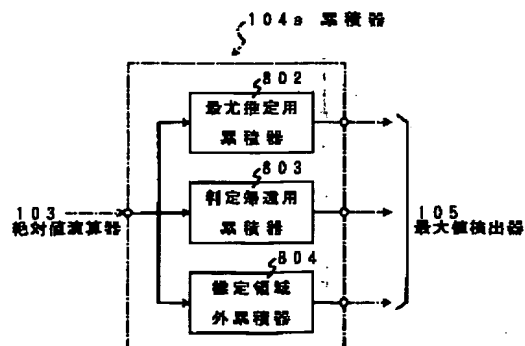
【図 15】



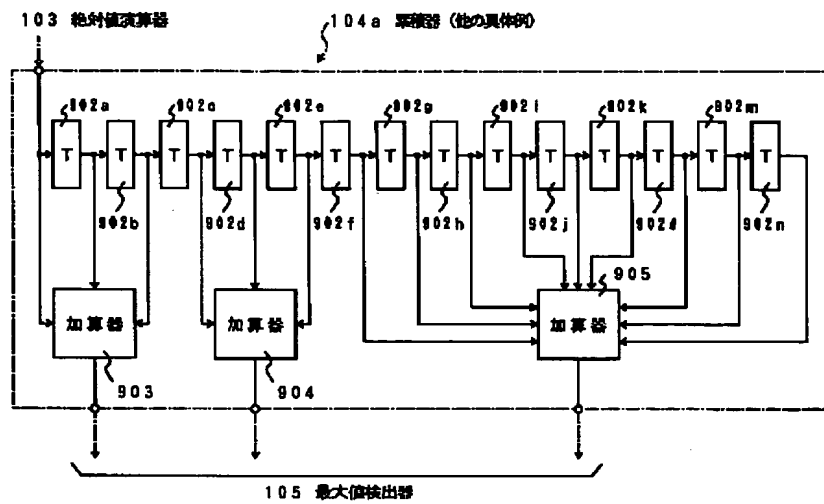
【図 16】



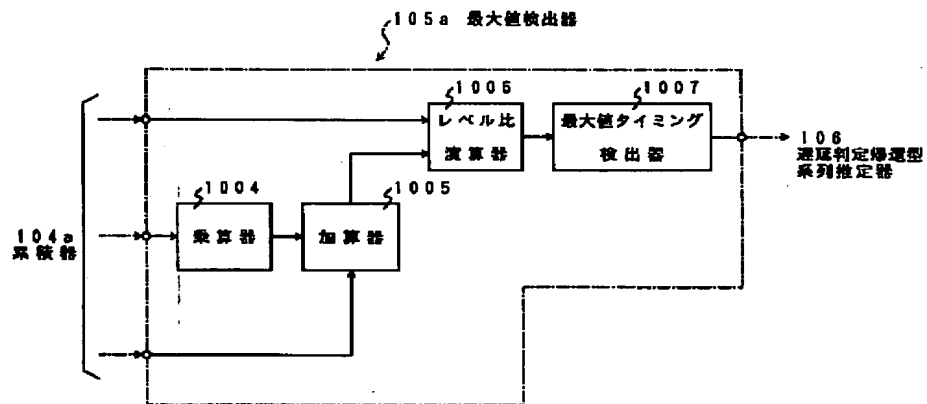
【図 9】



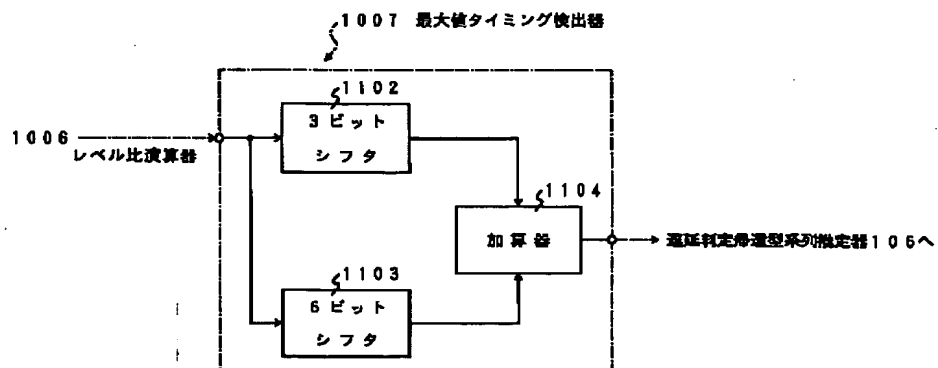
【図 10】



【図 11】



【図 12】



【図 1 3】

